

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-93904

(P2002-93904A)

(43) 公開日 平成14年3月29日 (2002.3.29)

| (51) Int.Cl. ⁷ | 識別記号 | F I | テマコード* (参考) |
|---------------------------|-------|---------------|-----------------|
| H 0 1 L 21/768 | | C 0 3 F 7/11 | 5 0 3 2 H 0 2 6 |
| G 0 3 F 7/11 | 5 0 3 | 7/26 | 5 1 1 2 H 0 9 6 |
| 7/26 | 5 1 1 | 7/40 | 5 2 1 5 F 0 0 4 |
| 7/40 | 5 2 1 | H 0 1 L 21/90 | C 5 F 0 3 3 |
| H 0 1 L 21/027 | | 21/30 | 5 7 4 5 F 0 4 6 |

審査請求 未請求 請求項の数 7 OL (全 6 頁) 最終頁に続く

(21) 出願番号 特願2001-84153(P2001-84153)

(22) 出願日 平成13年3月23日 (2001.3.23)

(31) 優先権主張番号 5 1 3 3 0 / 2 0 0 0

(32) 優先日 平成12年8月31日 (2000.8.31)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 591024111

株式会社ハイニックスセミコンダクター
大韓民国京畿道利川市大鉢邑牙美里山136
- 1

(72) 発明者 李 永 模

大韓民国京畿道利川市大鉢邑牙美里山136
- 1

(72) 発明者 朴 正 權

大韓民国京畿道利川市大鉢邑牙美里山136
- 1

(74) 代理人 100078330

弁理士 笹島 富二雄 (外1名)

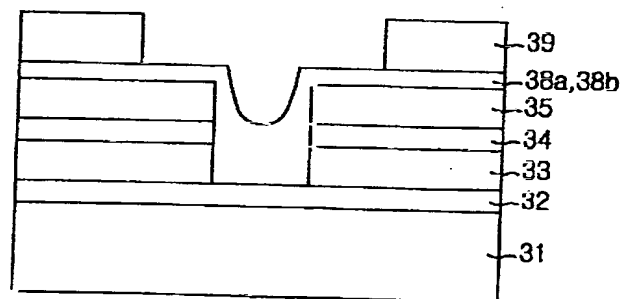
最終頁に続く

(54) 【発明の名称】 デュアルダマシン配線の形成方法

(57) 【要約】

【課題】 ダマシン工程でビア孔による乱反射を防止し、後続の工程で凹部形成のためのエッチング工程でビア孔を保護する反射防止膜を塗布する時、該反射防止膜が十分に埋め込まれない現象を防止する。

【解決手段】 半導体基板31上に多層構造の絶縁膜32～35を形成し、前記絶縁膜上に感光膜を塗布し露光及び現像して第1の感光膜パターンを形成し、前記第1の感光膜パターンを利用して下部の前記絶縁膜をエッチングして第1のビア孔を形成し、この第1のビア孔を含む全面に低粘度の第1の反射防止膜38aを塗布し形成し、この第1の反射防止膜上に低粘度の第2の反射防止膜38bを塗布し形成し、この第2の反射防止膜38b上に第2の感光膜パターン39を形成し、この第2の感光膜パターン39を利用して前記第1及び第2の反射防止膜38a、38bと前記絶縁膜をエッチングして第2のビア孔を形成するものである。



【特許請求の範囲】

【請求項1】半導体素子のデュアルダマシン配線の形成方法において、

半導体基板上に多層構造の絶縁膜を形成するステップと、

前記絶縁膜上に感光膜を塗布し露光及び現像して第1の感光膜パターンを形成するステップと、

前記第1の感光膜パターンを利用して下部の前記絶縁膜をエッチングして第1のビア孔を形成するステップと、

前記第1のビア孔を含む全面に低粘度の第1の反射防止膜を塗布し形成するステップと、

前記第1の反射防止膜上に低粘度の第2の反射防止膜を塗布し形成するステップと、

前記第2の反射防止膜上に第2の感光膜パターンを形成するステップと、

前記第2の感光膜パターンを利用して前記第1及び第2の反射防止膜と前記絶縁膜をエッチングして第2のビア孔を形成するステップと、を行うことを特徴とするデュアルダマシン配線の形成方法。

【請求項2】前記多層構造の絶縁膜を形成するステップは、最上層にシリコン酸化膜 (SiO_2) が形成されるように、窒化ケイ素膜 (SiN) とシリコン酸化膜 (SiO_2) を交互に繰り返して形成することを特徴とする請求項1に記載のデュアルダマシン配線の形成方法。

【請求項3】前記第1の反射防止膜を形成するステップは、 $450\text{\AA}/3000\text{rpm}$ の粘度を有する反射防止膜を $500\text{\AA}\sim 700\text{\AA}$ の厚さに2回に亘って塗布して形成することを特徴とする請求項1に記載のデュアルダマシン配線の形成方法。

【請求項4】前記第2の反射防止膜を形成するステップは、 $450\text{\AA}/3000\text{rpm}$ の粘度を有する反射防止膜を $500\text{\AA}\sim 700\text{\AA}$ の厚さに2回に亘って塗布して形成することを特徴とする請求項1に記載のデュアルダマシン配線の形成方法。

【請求項5】前記第1並びに第2の反射防止膜は、有機物から成ることを特徴とする請求項1、3又は4に記載のデュアルダマシン配線の形成方法。

【請求項6】前記第1の反射防止膜を形成するステップ及び第2の反射防止膜を形成するステップにより第1及び第2の反射防止膜を各々形成した後、前記半導体基板を冷却させるステップをさらに行うことを特徴とする請求項1に記載のデュアルダマシン配線の形成方法。

【請求項7】前記第2のビア孔を形成するステップは、該第2のビア孔の損失を防止するために最下層の窒化ケイ素膜 (SiN) 上に前記第2の反射防止膜を残留させるステップを含むことを特徴とする請求項1又は2に記載のデュアルダマシン配線の形成方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、半導体素子のデュ

アルダマシン配線の形成方法に関し、特に、デュアルダマシン (Dual damascene) 工程におけるビアフォト (Trench photo) 工程時の反射防止膜 (Organic Bottom Anti-Reflective Coating) の形成方法に関する。

【0002】

【従来の技術】一般に、ダマシン (Damascene) 工程は、絶縁膜をフォトリソグラフィ (photo-lithography) 技術を利用して形成される配線形状に沿って溝を形成し、前記溝にタングステン (W) などの導電物質を埋め込んだ後、前記溝以外の不要な配線物質をエッチバック (Etchback) や化学的機械的研磨 (Chemical Mechanical Polishing) などの技術を利用して除去することによって、最初に形成した溝形状に配線を形成する技術である。

【0003】この技術は、主にDRAMなどのビットライン (bit line)、またはワードライン (Wordline) の形成に利用されるが、上述したダマシン工程を適用してDRAMのビットラインを形成する通常の方法は以下の通りである。すなわち、ビットライン形成のための溝を絶縁膜に形成する。一方、ビットラインを半導体基板に接続させるためのコンタクト孔は、ビットラインの中間の絶縁膜をフォトリソグラフィ技術を利用して形成する。以後、タングステン、アルミニウム、または銅などの導電物質を、前記ビットラインの形成のための溝とコンタクト孔とを完全に埋め込むように蒸着した後、化学的機械的研磨やエッチバック工程を進行して絶縁膜上部に位置した不要な導電物質を除去する。

【0004】上記のようなダマシン工程でビットラインを形成する場合、ビットラインと下部の半導体基板との接続を同時に完成し得るだけでなく、ビットラインにより発生する段差 (topology) をなくすることができるので、後続の工程が容易となる利点がある。

【0005】そして、半導体素子の製造工程において、金属層は、二重または多重構造に形成され、アルミニウムのような金属配線形態に形成されるが、金属は表面反射率が非常に高いために、金属層をパターンニングするためのフォトリソグラフィ時に、光の散乱が発生して金属層にノッチング (Notching) 及び薄肉化 (Thinning) の問題が生じる。このような問題は、半導体素子が高集積化することに伴って金属配線の幅が狭くなるためにさらに深刻となる。したがって、これを防止するために金属層の上面に反射防止膜 (Anti Reflective Coating) を形成する。

【0006】図6ないし図9は、従来の技術にかかるダマシン工程のうち、最も広く用いられるビアファースト (Via first) 方法を示したものである。

【0007】まず、図6に示すように、所定の製造工程が完了した半導体基板11上にエッチング停止膜として第1の窒化ケイ素膜 (SiN) 12を形成し、この第1の窒化ケイ素膜12上にメタルレベルの酸化膜として第1のシリコン酸化膜 (SiO_2) 13を形成する。次いで、前

記第1のシリコン酸化膜13上にエッチング停止膜として、第2の窒化ケイ素膜14を形成し、この第2の窒化ケイ素膜14上にコンタクトレベルの絶縁膜として第2のシリコン酸化膜15を形成する。次いで、前記第2のシリコン酸化膜15上に感光膜を塗布し、感光膜パターン16を形成する。

【0008】次に、図7に示すように、前記感光膜パターン16を利用して、下部の第2のシリコン酸化膜15、第2の窒化ケイ素膜14、第1のシリコン酸化膜13を同時にエッチングして第1のビア孔17を形成する。

【0009】次に、図8に示すように、前記第1のビア孔17による乱反射でパターン形状が劣化することを防止するために、前記第1のビア孔17を含む全面に有機物から成る反射防止膜18を塗布する。この場合、前記反射防止膜18は、900Å/3000rpmの高い粘度を有し、1000Å〜1400Åの厚さに前記第1のビア孔17の底まで塗布される。しかし、前記第1のビア孔17の大きさが小さくなると、反射防止膜18がよく埋め込まれない。

【0010】また、前記反射防止膜18は、スピナー(Spinner)を利用して露光装置の1つであるトラック(Track)で塗布されることとなる。

【0011】次いで、前記反射防止膜18上に感光膜を塗布し、露光及び現像によりパターンニングして前記第1のビア孔17周囲の反射防止膜18を所定の幅だけ露出させる感光膜パターン19を形成する。

【0012】次に、図9に示すように、前記感光膜パターン19を利用してその下部に露出された反射防止膜18及び第2のシリコン酸化膜15をエッチングすることによって、図7に示す第1のビア孔17を含む2段形状の最終的な第2のビア孔20を形成する。この場合、第2のビア孔20の形成時、前記反射防止膜18は、ビア孔による乱反射だけでなく、ビア孔の損失を防止する。

【0013】なお、図面に示さなかったが、後続の工程として前記第2のビア孔20に導電層を形成した後、エッチバックや化学的機械的研磨を実施して該第2のビア孔20に埋め込まれる所定の導電層パターン、例えば、ビットライン、金属配線、または、ワードラインを形成するとともにビアを形成する。

【0014】上述したように、上層の配線が形成される最終的な第2のビア孔20と、この上層の配線を下層の配線または基板11に接続するビア孔、またはコンタクト孔(以下、これらをまとめて総称的に「ビア孔」という)とを絶縁層に形成した後、金属膜を前記ビア孔に同時に埋め込んで配線とビア孔とを同時に形成する。

【0015】

【発明が解決しようとする課題】しかし、上述した従来の技術は、露光工程技術の向上及びチップの大きさの縮小などの理由で、ビア孔の大きさが減少することによって、高い粘度の反射防止膜18を利用する場合、ビア孔

に反射防止膜18がよく埋め込まれない問題点が発生する。

【0016】そこで、本発明は、上記従来のデュアルダマシン配線の形成方法における問題点に鑑みてなされたものであって、ダマシン工程においてビア孔による乱反射を防止し、後続の工程で凹部(recess)形成のためのエッチング工程でビア孔を保護する反射防止膜を塗布する時、該反射防止膜が十分に埋め込まれない現象を防止するのに好適なデュアルダマシン配線の形成方法を提供することを目的とする。

【0017】

【課題を解決するための手段】上記目的を達成するために、本発明によるデュアルダマシン配線の形成方法は、半導体素子のデュアルダマシン配線の形成方法において、半導体基板上に多層構造の絶縁膜を形成するステップと、前記絶縁膜上に感光膜を塗布し露光及び現像して第1の感光膜パターンを形成するステップと、前記第1の感光膜パターンを利用して下部の前記絶縁膜をエッチングして第1のビア孔を形成するステップと、前記第1のビア孔を含む全面に低粘度の第1の反射防止膜を塗布し形成するステップと、前記第1の反射防止膜上に低粘度の第2の反射防止膜を塗布し形成するステップと、前記第2の反射防止膜上に第2の感光膜パターンを形成するステップと、前記第2の感光膜パターンを利用して前記第1及び第2の反射防止膜と前記絶縁膜をエッチングして第2のビア孔を形成するステップと、を行うものである。

【0018】また、前記多層構造の絶縁膜を形成するステップは、最上層にシリコン酸化膜(SiO_2)が形成されるように、窒化ケイ素膜(SiN)とシリコン酸化膜(SiO_2)を交互に繰り返して形成するものである。

【0019】さらに、前記第1の反射防止膜を形成するステップは、450Å/3000rpmの粘度を有する反射防止膜を500Å〜700Åの厚さに2回に亘って塗布して形成するものである。

【0020】さらにまた、前記第2の反射防止膜を形成するステップは、450Å/3000rpmの粘度を有する反射防止膜を500Å〜700Åの厚さに2回に亘って塗布して形成するものである。

【0021】また、前記第1並びに第2の反射防止膜は、有機物から成るものである。

【0022】さらに、前記第1の反射防止膜を形成するステップ及び第2の反射防止膜を形成するステップにより第1及び第2の反射防止膜を各々形成した後、前記半導体基板を冷却させるステップをさらに行うものである。

【0023】さらにまた、前記第2のビア孔を形成するステップは、該第2のビア孔の損失を防止するために最下層の窒化ケイ素膜(SiN)上に前記第2の反射防止膜を残置させるステップを含むものである。

【0024】

【発明の実施の形態】以下、当業者が本発明を実施できるように、本発明の実施形態を添付図面を参照しながら説明する。

【0025】図1ないし図5は、本発明によるデュアルダマシン配線の形成方法の工程を示す図面であって、ビアファースト(Via first)方法を示したものである。

【0026】まず、図1に示すように、所定の製造工程が完了した半導体基板31上にエッチング停止膜として第1の窒化ケイ素膜32を形成し、この第1の窒化ケイ素膜32上にメタルレベルの酸化膜として第1のシリコン酸化膜33を形成する。次いで、前記第1のシリコン酸化膜33上にエッチング停止膜として第2の窒化ケイ素膜34を形成し、この第2の窒化ケイ素膜34上にコンタクトレベルの絶縁膜として第2のシリコン酸化膜35を形成する。

【0027】次いで、前記第2のシリコン酸化膜35上に感光膜を塗布し、第1の感光膜パターン36を形成する。

【0028】次に、図2に示すように、前記第1の感光膜パターン36を利用して、下部の第2のシリコン酸化膜35と、第2の窒化ケイ素膜34と、第1のシリコン酸化膜33とを同時にエッチングして第1のビア孔37を形成する。

【0029】次に、図3に示すように、前記第1のビア孔37を含む全面に、後続のビアエッチング時に、下部の第1のビア孔37による乱反射でパターン形状が劣化することを防止するために、450Å/3000rpmの低粘度を有し有機物から成る第1の反射防止膜38aを500Å～700Åの厚さに2回に亘って塗布し、前記第1のビア孔37の底まで塗布する。次いで、同じく450Å/3000rpmの低粘度を有し有機物から成る第2の反射防止膜38bを500Å～700Åの厚さに2回に亘って塗布して、所望のターゲット厚さの有機反射防止膜を形成する。

【0030】前記した第1及び第2の反射防止膜38a、38bを塗布する方法は、半導体基板31を冷却させた後、有機反射防止膜をスピン塗布及びベーキングし、また半導体基板31を冷却させる。次いで、有機反射防止膜をスピン塗布及びベーキングした後、前記半導体基板31を冷却させる。

【0031】上述したように、低粘度の有機物から成る第1及び第2の反射防止膜38a、38bをスピン塗布法によりそれぞれ2回に亘って塗布することによって、所望の厚さのターゲットにビア孔に十分に埋め込まれる有機反射防止膜を形成する。一方、有機反射防止膜の粘度が高い場合には、2回に亘って塗布する工程が不可能である。

【0032】次に、図4に示すように、前記第1及び第2の反射防止膜38a、38b上に感光膜をスピン塗布及びベーキングした後、半導体基板31を冷却させ、後続

の工程である露光及び現像工程を実施して、下部の前記第1のビア孔37を含む第1及び第2の反射防止膜38a、38bを所定の幅だけ露出させる第2の感光膜パターン39を形成する。

【0033】次に、図5に示すように、前記第2の感光膜パターン39を利用して下部に露出された第1及び第2の反射防止膜38a、38b及び第2のシリコン酸化膜35をエッチングすることによって、前記第1のビア孔37を含む2段形状の第2のビア孔40を形成する。この場合、前記第2のビア孔40形成時、前記第1及び第2の反射防止膜38a、38bは、前記第1のビア孔37の乱反射を防止し、前記低粘度の第1及び第2の反射防止膜38a、38bは、シリコン酸化膜(SiO₂)よりエッチング速度が遅いために、第1のビア孔37の底に所定の厚さの有機物から成る第1及び第2の反射防止膜38a、38bが残留するので、第2のビア孔40の損失を防止することとなる。

【0034】なお、図面に示さなかったが、後続の工程として、前記第2のビア孔40に導電層を形成した後、エッチバックや化学的機械的研磨を実施して、該第2のビア孔40に埋め込まれる所定の導電層パターン、例えば、ビットライン、金属配線、ワードライン、またはゲート電極を形成する。

【0035】なお、上述の実施例は、本発明の技術思想の説明のためのものであって、その制限のためのものではない。また、本発明の技術分野の通常の専門家であるならば、本発明の技術思想の範囲内で種々の変形例が実施可能である。

【0036】

【発明の効果】上述したように、本発明によるデュアルダマシン配線の形成方法は、ダマシン工程のビアエッチング時、低粘度の反射防止膜を2回に亘って塗布することによって、所望の厚さのターゲットを確保することができ、半導体素子の集積度が高くなってビア孔の大きさが微細化してもビア孔での乱反射及びビア孔を保護する役割を効率的に行うことができる効果がある。

【図面の簡単な説明】

【図1】 本発明によるデュアルダマシン配線の形成方法の工程を示す図面であり、半導体基板上に多層構造の絶縁膜を形成し、第1の感光膜パターンを形成する工程を示す図である。

【図2】 同じくデュアルダマシン配線の形成方法の工程を示す図面であり、第1の感光膜パターンを利用して前記絶縁膜をエッチングして第1のビア孔を形成する工程を示す図である。

【図3】 同じくデュアルダマシン配線の形成方法の工程を示す図面であり、第1及び第2の反射防止膜を形成する工程を示す図である。

【図4】 同じくデュアルダマシン配線の形成方法の工程を示す図面であり、上記第2の反射防止膜上に第2の

感光膜パターンを形成する工程を示す図である。

【図5】 同じくデュアルダマシンプ配線の形成方法の工程を示す図面であり、上記第2の感光膜パターンを利用して第2のビア孔を形成する工程を示す図である。

【図6】 従来のデュアルダマシンプ配線の形成方法の工程を示す図面である。

【図7】 従来のデュアルダマシンプ配線の形成方法の工程を示す図面である。

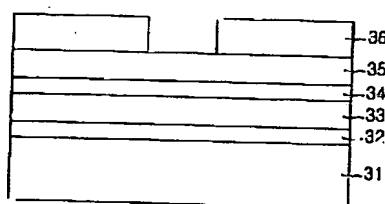
【図8】 従来のデュアルダマシンプ配線の形成方法の工程を示す図面である。

【図9】 従来のデュアルダマシンプ配線の形成方法の工程を示す図面である。

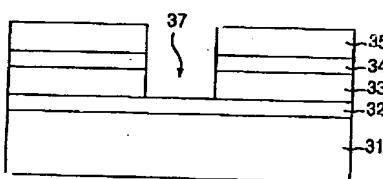
【符号の説明】

- 31 半導体基板
- 32 第1の窒化ケイ素膜
- 33 第1のシリコン酸化膜
- 34 第2の窒化ケイ素膜
- 35 第2のシリコン酸化膜
- 36 第1の感光膜パターン
- 37 第1のビア孔
- 38a 第1の反射防止膜
- 38b 第2の反射防止膜
- 39 第2の感光膜パターン
- 40 第2のビア

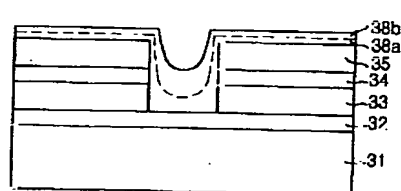
【図1】



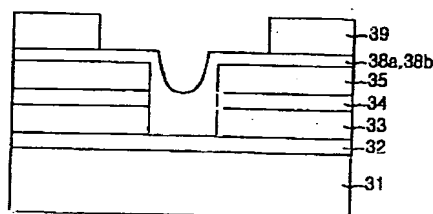
【図2】



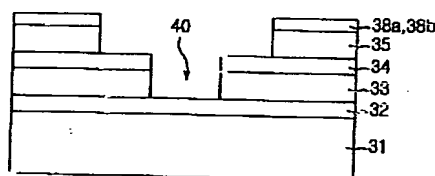
【図3】



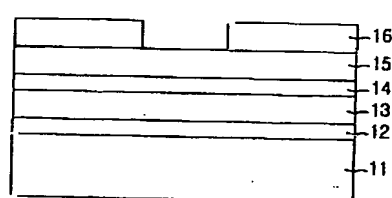
【図4】



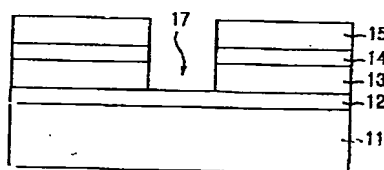
【図5】



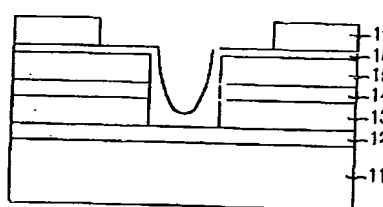
【図6】



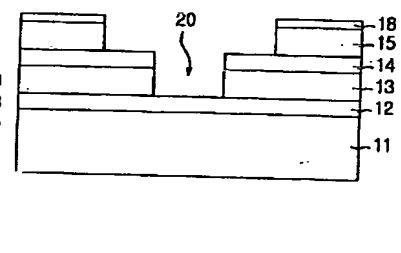
【図7】



【図8】



【図9】



フロントページの続き

(51)Int. Cl.⁷

H01L 21/3065
21/3205

識別記号

F I

H01L 21/302
21/88

(参考)

J
K

(6) 開2002-93904 (P2002-93904A)

Fターム(参考) 2H025 AA00 AB16 DA11 DA34 DA40
FA03 FA14 FA28 FA41
2H096 AA25 CA05 EA12 HA23 HA30
JA04 KA08
5F004 DB03 DB07 DB23 EA22 EB02
5F033 HH08 HH11 HH19 JJ08 JJ11
JJ19 KK01 MM02 QQ04 QQ25
QQ31 QQ48 RR04 RR06 VV06
VV16 XX34
5F046 PA07